

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-288455

(43)Date of publication of application : 17.10.2000

51)Int.Cl. B05C 9/06
 B05C 11/08
 B05D 1/36
 B05D 1/40
 // 603F 7/16

21)Application number : 11-093722

(71)Applicant : SEIKO EPSON CORP

22)Date of filing : 31.03.1999

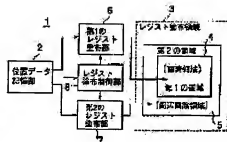
(72)Inventor : HIRAIWA TAKU
 KITAWADA KIYOBUMI
 INOUE SATOSHI
 UTSUNOMIYA SUMIO
 YUDASAKA KAZUO
 MIYASAKA MITSUTOSHI
 MATSUEDA YOJIRO

54) RESIST APPLYING DEVICE AND RESIST APPLYING METHOD

57)Abstract:

ROBLEM TO BE SOLVED: To improve throughput and yield as the hole of processes at the time of forming an element pattern of different design rule by an exposure system different in resolution in a post stage.

SOLUTION: This resist applying device is provided with a position data storing part 2 for storing each position data of a 1st region 4, where a pixel, or the like, is formed, and a 2nd region, where plural fine peripheral circuits are formed in a narrow surface area, a 1st resist applying part 6 or applying a 1st resist thin film on a substrate based on the position data in the 1st region 4, which is stored in the storing part 2, under a prescribed condition, a 2nd resist applying part 7 for applying a 2nd resist thin film on the substrate 10 based on the position data in the 2nd region 5, which is stored in the storing part 2, under a condition different from that in the 1st resist thin film and a resist control part 8 for controlling to separately control the 1st region and the 2nd region under different conditions by outputting the position data of each region to the resist applying parts 6 and 7.



LEGAL STATUS

Date of request for examination] 16.06.2003

Date of sending the examiner's decision of rejection]

Kind of final disposal of application other than the
 examiner's decision of rejection or application
 converted registration]

Date of final disposal for application]

Patent number] 3873516

Date of registration] 02.11.2006

Number of appeal against examiner's decision of

earching PAJ

2/2 ページ

ejection]

Date of requesting appeal against examiner's decision
f rejection]

Date of extinction of right]

(51)Int.Cl. ⁷	識別記号	F I	チーコード [*] (参考)	
B 0 5 C	9/06	B 0 5 C	9/06	2 H 0 2 5
	11/08		11/08	4 D 0 7 5
B 0 5 D	1/36	B 0 5 D	1/36	Z 4 F 0 4 2
	1/40		1/40	A
G 0 3 F	7/16	G 0 3 F	7/16	5 0 1
審査請求 未請求 請求項の数12 O L (全 10 頁)				

(21)出願番号 特願平11-93722

(22)出願日 平成11年3月31日(1999.3.31)

(71)出願人 000002369

セイコーエプソン株式会社
東京都新宿区西新宿2丁目4番1号

(72)発明者 平 岩 卓

長野県諏訪市大和三丁目3番5号 セイコ
ーエプソン株式会社内

(72)発明者 北和田 清 文

長野県諏訪市大和三丁目3番5号 セイコ
ーエプソン株式会社内

(74)代理人 100064285

弁理士 佐藤 一雄 (外3名)

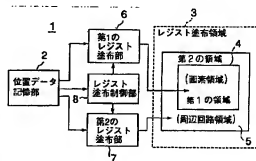
最終頁に続く

(54)【発明の名称】 レジスト塗布装置およびレジスト塗布方法

(57)【要約】

【課題】 後工程で異なる解像度の露光系により異なるデザインルールの素子パターンを形成する際の工程全体としてのスループットと歩留まりの向上を図る。

【解決手段】 画素等が形成される第1の領域4とそれぞれが狭面積で複数の微細な周辺回路等が形成される第2の領域5の各々の位置データを記憶する位置データ記憶部2と、記憶部2に記憶された第1の領域4の位置データに基づいて基板10上に第1のレジスト薄膜40を所定の条件で塗布する第1のレジスト塗布部6と、記憶部2に記憶された第2の領域5の位置データに基づいて基板10上に第2のレジスト薄膜50をレジスト薄膜40とは異なる条件で塗布する第2のレジスト塗布部7と、レジスト塗布部6と7に対して第1の領域4と第2の領域5のそれぞれの位置データを出力してそれぞれの領域を異なる条件で塗り分けるように制御するレジスト制御部8を備える。



【特許請求の範囲】

【請求項 1】第 1 の密度で基板上に形成される第 1 の領域および前記第 1 の密度とは異なる第 2 の密度のパターンが形成される第 2 の領域の位置データをそれぞれ記憶する位置データ記憶部と、

前記位置データ記憶部に記憶された前記第 1 の領域の位置データに基づいて前記基板上に前記第 1 の領域用の第 1 のレジスト薄膜を前記第 1 のレジスト塗布部と、

前記位置データ記憶部に記憶された前記第 2 の領域の位置データに基づいて前記基板上に前記第 2 の領域用の第 2 のレジスト薄膜を前記第 1 のレジスト塗布部とは異なる条件で塗布する第 2 のレジスト塗布部と、

前記第 1 のレジスト塗布部と第 2 のレジスト塗布部に対して、前記第 1 の領域と前記第 2 の領域のそれぞれの位置データを出してそれぞれの領域を異なる条件で塗り分けるように制御するレジスト塗布制御部と、
を備えることを特徴とするレジスト塗布装置。

【請求項 2】前記位置データ記憶部は、広面積の半導体素子が前記第 1 の密度で形成される広面積の前記第 1 の領域の位置データと、この広面積の第 1 の領域の周囲に設けられる複数の微細な周辺回路用の半導体素子を前記第 1 の密度よりも高密度で形成される周辺回路領域としての前記第 2 の領域の位置データと、のそれぞれを記憶することを特徴とする請求項 1 に記載のレジスト塗布装置。

【請求項 3】前記第 1 のレジスト塗布部は、基板を回転させながら表面に第 1 のレジスト薄膜を形成するスピンコートにより構成されて、前記基板における前記第 1 および第 2 の領域の全範囲にわたって一様にレジストを塗布することを特徴とする請求項 1 に記載のレジスト塗布装置。

【請求項 4】前記第 1 のレジスト塗布部は、所定成分のレジスト液を前記第 1 の領域に吐出させることにより第 1 のレジスト薄膜を形成するインクジェットヘッドにより構成されていることを特徴とする請求項 1 に記載のレジスト塗布装置。

【請求項 5】前記第 1 のレジスト塗布部は、前記第 1 の領域に相当する原版を用いて転写により前記第 1 のレジスト薄膜を前記第 1 の領域に印刷する印刷機により構成されていることを特徴とする請求項 1 に記載のレジスト塗布装置。

【請求項 6】前記第 2 のレジスト塗布部は、所定成分のレジスト液を前記第 2 の領域に吐出させることにより前記第 1 の領域とは異なる条件のレジスト薄膜を形成するインクジェットヘッドにより構成されていることを特徴とする請求項 3 ないし請求項 5 の何れかに記載のレジスト塗布装置。

【請求項 7】前記第 1 の領域に形成される半導体素子は薄膜トランジスタを備える液晶表示部であり、前記第 2

の領域に形成される半導体素子は前記液晶表示部を駆動するための駆動部や前記液晶に表示される画像信号を記憶する記憶部を含む周辺回路であることを特徴とする請求項 1 ないし請求項 6 の何れかに記載のレジスト塗布装置。

【請求項 8】第 1 の密度で基板上に形成される第 1 の領域および前記第 1 の密度とは異なる第 2 の密度のパターンが形成される第 2 の領域の位置データをそれぞれ記憶するステップと、

10 前記第 1 の領域の位置データに基づいて基板上に前記第 1 の領域用の第 1 のレジスト薄膜を所定の条件で塗布するステップと、

前記第 2 の領域の位置データに基づいて基板上に第 2 の領域用の第 2 のレジスト薄膜を前記第 1 のレジスト薄膜とは異なる条件で塗布するステップと、
を備えることを特徴とするレジスト塗布方法。

【請求項 9】前記位置データを記憶するステップは、前記第 1 の領域としての広面積の半導体素子が所定密度で形成される広面積領域の位置データと、この広面積領域の周囲に設けられる複数の微細な周辺回路用の半導体素子が前記所定密度よりも高密度で形成される前記第 2 の領域としての周辺回路領域の位置データと、のそれぞれを記憶するステップであり、前記第 1 のレジスト薄膜を塗布するステップは、前記広面積領域の位置データに基づいて基板の所定位置に前記広面積領域用の第 1 のレジスト薄膜を所定の条件で塗布するステップであり、前記第 2 のレジスト薄膜を塗布するステップは、前記周辺回路領域の位置データに基づいて前記広面積領域の周囲に前記周辺回路領域用の第 2 のレジスト薄膜を前記第 1 のレジスト薄膜とは異なる条件で塗布するステップであり、前記広面積領域と前記周辺回路領域のそれぞれの位置データに基づいてそれぞれの領域の 1 および第 2 のレジスト薄膜を異なる条件で塗り分けることを特徴とする請求項 8 に記載のレジスト塗布方法。

【請求項 10】前記第 1 の領域に形成される半導体素子は数ミクロンメートルのデザインルールにより設計されるものであるのに対して、前記第 2 の領域に形成される半導体素子はサブミクロンメートルのデザインルールにより設計される可能性を有することを特徴とする請求項 8 に記載のレジスト塗布方法。

【請求項 11】前記レジスト薄膜を塗布する際に、第 1 のレジスト薄膜と第 2 のレジスト薄膜とで異ならせる塗布条件は、レジスト液の成分、密度、粘度、粒度やレジスト薄膜の厚さ、感光度、パターンを含み、さらにスピンコート、印刷機、インクジェットプリンタを含む複数の異なる種類の塗布装置の組み合わせの変更も含むことを特徴とする請求項 8 に記載のレジスト塗布方法。

【請求項 12】前記第 1 の領域に形成される半導体素子は薄膜トランジスタを備える液晶表示部であり、前記第 2 の領域に形成される半導体素子は前記液晶表示部を駆

動するための駆動部や前記液晶に表示される画像信号を記憶する記憶部を含む周辺回路であることを特徴とする請求項 8 ないし請求項 11 の何れかに記載のレジスト塗布方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、例えば液晶パネルの製造に用いられるレジスト塗布装置および方法に係り、特に大型のガラス基板上に展開される比較的大面積の画素パターンと微細パターンの周辺回路のように異なる密度によりパターンが形成されるレジスト膜を塗布するレジスト塗布装置およびレジスト塗布方法に関する。

【0002】

【従来の技術】近年、例えば液晶表示装置は軽量かつ低消費電力を達成するフラットパネルディスプレイとして注目を集めており、とりわけアクティブマトリクス型液晶表示装置は薄型、軽量、低電圧駆動が可能であり、更にカラー化も容易であるため、パーソナルコンピュータ、ワードプロセッサ、携帯情報端末等に用いられるようになってきている。

【0003】上記アクティブマトリクス型液晶表示装置の画素部のスイッチング素子として薄膜トランジスタ（以下、TFT—Thin Film Transistor—ともいう）を用いたものは表示装置としての表示品位が高いためであり、消費電力が低いために、開発が盛んに行われている。このTFTはアモルファス（非晶質）シリコンを用いたアモルファスシリコンTFTと、ポリ（多結晶）シリコンを用いたポリシリコンTFTの2種類がある。

【0004】ポリシリコンTFTはアモルファスシリコンTFTよりも移動度が10～100倍程度高いという利点があるため、画素用スイッチング素子として最適なものである。また、ポリシリコンTFTは、周辺駆動回路の構成素子としても用いられるようになってきており、この結果、図1に示すような画素部120と周辺駆動回路130a、130bとを同一基板101上に形成する画素部・駆動回路一体型の液晶表示装置100の開発が盛んになってきている。

【0005】一般に、液晶表示装置を製造する際には、液晶制御するのに必要な回路パターンをガラス基板上に転写するための露光装置が使用される。この露光装置は微細なパターンを基板上に転写するための露光光学系、マスクと基板を高精度に位置合わせするためのアライメント系、マスクと基板を自動的に搬送する自動搬送系などより構成され、露光処理の前工程としては所定の感光度を有するレジスト薄膜を形成する処理工程が行なわれている。

【0006】近年、液晶表示装置の表示精度を高精細化したり低消費電力を駆動したりすることにより、液晶表示装置を高効率化する試みが為されており、この液晶表示装置の高性能化が進むに従って、液晶画面の周辺に

形成される周辺回路の精度はサブミクロン（ $<1\mu\text{m}$ ）の単位にまで至っており、広面積領域における微細加工の必要性が強く求められてきているが、現状では広面積領域および周辺回路領域共に約5 μm 程度のデザインルールにより製造されており、このように数ミクロンのオーダーの半導体素子を形成するためには、共通のレジスト膜を塗布した後1回の露光でそれぞれの素子パターンを形成するようにしていた。

【0007】このような、広面積における微細加工を実現するためには、要求される精密度に応じた露光技術が必要不可欠であることは勿論であるが、このような精密度を全てに満たすだけの解像度を備える露光装置や露光技術はスループットの点からも未だ完成されているとは言えず、優れた技術の開発が待たれている。また例えば液晶表示装置の場合、画素部を形成するためのパターンの精度はT N やST N でも数ミクロン（ μm ）、上述のT FT では数ミクロン（約5 μm ）であるが、これを取り囲む周辺回路の精度は上述のようにはサブミクロン（ $<1\mu\text{m}$ ）の単位にまで至っている。

【0008】上述のように、ポリシリコンにより画素領域と周辺回路領域との素子形成を一体的に行なう場合、画素領域のデザインルールは数ミクロンオーダーでよいが、周辺回路領域はサブミクロンオーダーにまでなる可能性がある。このように隣接する領域間のデザインルールオーダが1桁以上異なる場合には、高解像度用と低解像度用の2種類の露光光学系を用いることは勿論であるが、それに加えて、露光工程の前工程で行なわれるレジストの塗布に際しても、何らかの改善が期待されている。

【0009】このように精度の異なるパターンを形成するためには、解像度等の性能が全く異なる画素用の露光装置と周辺回路用の露光装置とを用いて基板上にパターンを形成する必要があるが、ガラス基板等の表面にレジスト膜を塗布した後、画素パターン用の露光を行なって画素パターンを形成し、次に、画素パターンが形成された基板の周辺に高精度の周辺回路パターンのような精密パターンを形成可能な回路用の露光装置により周辺回路の回路パターンを形成する必要がある。本発明者達は、このような必要性を満足させるために、周辺回路用の高精度のパターンと画素領域用のミクロンオーダーのパターンとを形成可能な露光光学系を提案しているが、露光工程の前工程で行なわれるレジスト工程においても同一の流れを目指す技術改良の必要性があった。

【0010】

【発明が解決しようとする課題】上述したように、従来のレジスト塗布装置およびレジスト塗布方法は、形成される半導体素子のデザインルールが異なる場合であっても、共通のレジスト薄膜を塗布することにより比較的密度の低い画素パターンのためのレジストの塗布と、高密度の周辺回路パターンのためのレジストの塗布とを同

一密度で行なっていた。このため次工程で露光させるパターンに面積や密度に關係なく一様にレジストが塗布されており、特に高密度で塗布する必要のある周辺回路パターンのレジストに最適な条件でレジストを塗布できないという問題があった。

【0011】本発明は上記従来問題を除去するために為されたものであり、異なるデザインルールで素子が形成される広面積の第1の領域と周辺回路を形成する第2の領域に塗布されるレジストをそれぞれの領域毎に異なる条件で塗布することによって、後工程での素子パターンを高精度で安定した露光処理を行なうスループットを向上させることができるレジスト塗布装置およびレジスト塗布方法を提供することを目的としている。

【0012】

【課題を解決するための手段】上記目的を達成するため、本発明の第1の基本構成に係るレジスト塗布装置は第1の密度で基板上に形成される第1の領域および第1の密度とは異なる第2の密度のパターンが形成される第2の領域の位置データをそれぞれ記憶する位置データ記憶部と、前記位置データ記憶部に記憶された前記第1の領域の位置データに基づいて基板上に前記第1の領域用の第1のレジスト薄膜を所定の条件で塗布する第1のレジスト塗布部と、前記位置データ記憶部に記憶された前記第2の領域の位置データに基づいて前記基板上に前記第2の領域用の第2のレジスト薄膜を前記第1のレジスト薄膜とは異なる条件で塗布する第2のレジスト塗布部と、前記第1のレジスト塗布部と第2のレジスト塗布部に対して前記第1の領域と前記第2の領域のそれぞれの位置データを出してそれぞれの領域を異なる条件で塗り分けるように制御するレジスト塗布制御部と、を備えることを特徴としている。

【0013】上記基本構成に係るレジスト塗布装置において、前記位置データ記憶部は、広面積の半導体素子で前記第1の密度で形成される広面積の前記第1の領域の位置データと、この広面積の第1の領域の周囲に設けられる複数の微細な周辺回路用の半導体素子で前記第1の密度よりも高密度で形成される周辺回路領域としての前記第2の領域の位置データと、のそれぞれを記憶するようにしても良い。

【0014】上記基本構成に係るレジスト塗布装置において、前記第1のレジスト塗布部は基板を回転させながら表面に第1のレジスト薄膜を形成するスピンコートにより構成され、前記基板における前記第1の領域および第2の領域の全範囲にわたって一様にレジストを塗布するようにしても良い。

【0015】また、上記基本構成において、前記第1のレジスト塗布部を、所定成分のレジスト液を前記第1の領域に吐出させることにより第1のレジスト薄膜を形成するインジェクションヘッドにより構成するようにしても良い。

【0016】また、上記基本構成において、前記第1のレジスト塗布部を、前記第1の領域に相当する原版を用いて転写により前記第1のレジスト薄膜を前記第1の領域に印刷する印刷機により構成するようにしても良い。

【0017】さらに、第1のレジストパターン塗布部をスピンコート、印刷機またはインジェクションヘッドにより構成したものである、第2のレジストパターン塗布部を所定成分のレジスト液を前記周辺回路領域に吐出させることにより前記画素領域とは異なる条件のレジスト薄膜を形成するインジェクションヘッドにより構成するようにしても良い。

【0018】さらに、上記各構成において、広面積領域に形成される半導体素子は薄膜トランジスタを備える液晶表示部であり、前記周辺回路領域に形成される半導体素子は前記液晶表示部を駆動するための駆動部や前記液晶に表示される画像信号を記憶する記憶部を含む周辺回路であっても良い。

【0019】また、上記目的を達成するための本発明の第2の基本構成に係るレジスト塗布方法は、第1の密度で基板上に形成される第1の領域および前記第1の密度とは異なる第2の密度のパターンが形成される第2の領域の位置データをそれぞれ記憶するステップと、前記第1の領域の位置データに基づいて基板上に前記第1の領域用の第1のレジスト薄膜を所定の条件で塗布するステップと、前記第2の領域の位置データに基づいて基板上に第2の領域用の第2のレジスト薄膜を前記第1のレジスト薄膜とは異なる条件で塗布するステップと、を備えることを特徴としている。

【0020】また、上記第2の基本構成において、前記位置データを記憶するステップは、前記第1の領域としての広面積の半導体素子が所定密度で形成される広面積領域の位置データと、この広面積領域の周囲に設けられる複数の微細な周辺回路用の半導体素子が前記所定密度よりも高密度で形成される前記第2の領域としての周辺回路領域の位置データと、のそれぞれを記憶するステップであり、前記第1のレジスト薄膜を塗布するステップは、前記広面積領域の位置データに基づいて基板の所定位置に前記広面積領域用の第1のレジスト薄膜を所定の条件で塗布するステップであり、前記第2のレジスト薄膜を塗布するステップは、前記周辺回路領域の位置データに基づいて前記画素領域の周囲に前記周辺回路領域用の第2のレジスト薄膜を前記第1のレジスト薄膜とは異なる条件で塗布するステップであり、前記広面積領域と前記周辺回路領域のそれぞれの位置データに基づいてそれぞれの領域の第1および第2のレジスト薄膜を異なる条件で塗り分けるようにしても良い。

【0021】また、上記第2の基本構成において、前記広面積領域に形成される半導体素子は数ミクロンメートルのデザインルールにより設計されるものであるのに対して、前記周辺回路領域に形成される半導体素子はサブミ

クロンメータのデザインルールにより設計される可能性を有するようにしても良い。

【0022】また、上記第2の基本構成において、前記レジスト薄膜を塗布する際に、第1のレジスト薄膜と第2のレジスト薄膜とで異なる塗布条件は、レジスト液の成分、粘度、粘度、粒度やレジスト薄膜の厚さ、感光度、パターンを含み、さらにスピニング、印刷機、インジェクトブリックを含む複数の異なる種類の塗布装置の組み合わせの変更も含むようにしても良い。

【0023】さらに、上記各構成において、前記広面積領域に形成される半導体素子は薄膜トランジスタを備える液晶表示部であり、前記周辺回路領域に形成される半導体素子は前記液晶表示部を駆動するための駆動部や前記液晶に表示される画像信号を記憶する記憶部を含む周辺回路であっても良い。

【0024】このような構成によるレジスト塗布装置及び方法においては、前記第1のレジスト塗布部により所定成分のレジスト液を基板の少なくとも画素領域に塗布し、前記第2のレジストパターン塗布部により前記画素領域の周囲にレジスト液を画素領域とは異なる条件で塗布することにより周辺回路領域へのレジスト薄膜の塗布を行なっている。

【0025】なお、第1のレジスト塗布部により形成される第1のレジスト薄膜と第2のレジスト塗布部により形成される第2のレジスト薄膜の条件の違いとは、具体的には後工程における感光学系の解像度の差に対応しないしは追従するような感度の差となるように設定しても良い。したがって、高解像度の感光学系に対しては感度の高いレジスト膜を形成し、解像度の低い感光学系に対しては感度の低いレジスト膜を塗布するようにしても良い。

【0026】本発明に係るレジスト塗布装置及び方法は以上のように構成したので、基板上に形成される異なるパターンを有する領域に対応する領域毎に異なる条件によりレジスト薄膜を形成することができるので、後工程の露光工程において適用される露光系の解像度、パターンの面積や密度に対応させたレジスト薄膜を提供することができる。このように構成することにより、後工程の感光処理におけるスループットの向上が図れ、全体的な製造工程における歩留まりの良い電子機器、好ましくはスイッチャー型液晶表示装置を提供することができる。

【0027】

【発明の実施形態】以下、本発明に係るレジスト塗布装置の好適な実施形態について、添付図面を参照しながら詳細に説明する。なお、以下詳細に説明する実施形態においては、広面積領域に形成される半導体素子としては液晶表示部を例にとり、その周辺回路としては液晶表示部のメモリや駆動部および論理演算素子等を例にとっているが、広面積領域に形成される素子はデザイナー

ルが数ミクロンのものであれば液晶表示部以外の素子でも良く、周辺回路領域に形成される素子はデザイナーがサブミクロン (< 1 μm) オーダの可能性があれば他の半導体素子であっても良いことは勿論である。

【0028】図1ないし図4は本発明の第1実施形態に係るレジスト塗布装置を説明する説明図である。図1において、第1実施形態に係るレジスト塗布装置1において、位置データ記憶部2は、レジスト塗布領域3として広面積の画素が形成される画素領域4およびそれぞれが狭面積で複数の微細な周辺回路が形成される周辺回路領域5の各々の位置データを記憶している。この第1実施形態においては、画素領域4が第1の領域であり、周辺回路領域5が第2の領域である。位置データ記憶部2は、記憶している画素領域4の位置データを第1のレジスト塗布部6に出力し、第1のレジスト塗布部6は画素領域4の位置データに基づいて基板の所定位置に広範囲の画素領域用レジストを所定の条件で塗布する。

【0029】位置データ記憶部2は、記憶している周辺回路領域5の位置データを第2のレジスト塗布部7に出力し、第2のレジスト塗布部7は、この周辺回路領域5の位置データに基づいて前記画素領域4の周囲に前記周辺回路領域用レジストを前記画素領域用レジストとは異なる条件で塗布する。レジスト制御部8は、前記第1のレジスト塗布部6と第2のレジスト塗布部7に対して前記画素領域と前記周辺回路領域のそれぞれの位置データを出してそれぞれの領域を異なる条件で塗り分けるように制御している。

【0030】図1に示す第1実施形態に係るレジスト塗布装置によれば、図2に拡大して示すような画素領域4と周辺回路領域5を有するレジスト塗布領域3を備えているが、これらの領域は後工程の露光工程において、図3に示すようなパターンを露光により形成することになる。

【0031】図3は、本発明のレジスト塗布装置により基板上の各領域に画素パターン用のレジスト領域と周辺回路用のレジスト領域とを塗り分けた後に、所定のパターンを異なる解像度の露光装置により形成した液晶表示装置の平面構成を例示している概念図である。すなわち、同図の例においては、基板Sの中央付近に画素領域4が設けられ、その上下にはXドライブ11、12が設けられている。また、画素領域の左右には、Yドライブ13、14が設けられている。Xドライブ11、12のそれぞれ上下には、メモリ部15、16が設けられている。

【0032】さらにこれらの周囲には、配線部17、18、19、20が設けられ、また、基板Sの左下には、ロジック部21、22、23が設けられ、さらに上部側の左右端には接続部24、25が設けられ、下部側の左右端にはTAB (tape automated bonding) 用の端子部26、27が設けられている。端子部27の更に下部

側には端子部 28 が設けられている。

【0033】以上説明した液晶表示装置において、例えば、画素領域 4、ドライバ 11~14、配線部 17~20、接続部 24、25、端子部 26~28 などの部分は、高精細型表示が要求される場合であっても、例えば $2\sim3\mu\text{m}$ 程度のデザインルールにより形成することができる。

【0034】これに対して、画像データなどを蓄積するメモリ部 15、16 や、画像信号の処理を行うロジック部 21~23 は、例えば、各種の画像データのバッファや、画像データ処理あるいは論理演算処理などを実行する。したがって、これらの周辺回路領域 5 のデザインルールを、例えば $0.6\mu\text{m}$ 程度と高集積化すれば、データ蓄積容量や論理演算機能を強化させ、従来よりもはるかに高性能の液晶表示装置を小型軽量に実現することができる。

【0035】本発明に係るレジスト塗布装置によりレジスト薄膜を塗布した後、後工程の露光工程において、画素パターンや周辺回路パターンを異なる解像度の露光装置により露光させて形成する。このような液晶表示装置の製造にあたって、本第 1 実施形態に係るレジスト塗布装置を用いることにより、画素領域やドライバなどの領域を低解像度の露光光学系により迅速に露光し、論理部やメモリ部などを高解像度を有する露光光学系により精度良く露光することができる。

【0036】例えば、画素領域 4 などの $2\sim3\mu\text{m}$ 程度のデザインルールの領域に対しては低解像度の第 1 の露光光学系として、ミラープロジェクション方式の露光光学系を用いることにより、1 ショットで $300\times400\text{mm}^2$ 程度の領域を一度に露光することが可能となる。これに対して、高解像度の第 2 の露光光学系としてレンズ・ステッパ方式の露光光学系を用いると、解像度を $0.6\mu\text{m}$ あるいはそれ以上に高くすることが可能となり、メモリ部 15、16 や論理部 21~23 などの微細なデザインルールの周辺回路領域 5 を確実に形成することができる。

【0037】図 4 は、上記のようにして異なる条件のレジストをガラス基板 10 上に形成した場合の PEP 工程の一部を表す概略工程断面図である。すなわち、図 4 (a) に示したように、基板 10 の上に、ポリシリコンなどの半導体や、酸化シリコンなどの絶縁物、あるいはアルミニウムやクロムなどの金属など、種々の材料により構成される導膜層 30 を堆積し、この導膜層 30 の上に画素領域用の第 1 のレジスト薄膜 40 と、周辺回路領域用の第 2 のレジスト薄膜 50 とをそれぞれ塗布する。

【0038】次に、図 4 (b) に示すように、第 1 の露光光学系を用いて基板 10 上の画素領域に対応する一部を露光する。ここで、露光する領域は、例えばデザインルールがそれほど厳格くない部分とすることができ、図示しないレチクルを介して露光すると、図示したよう

にレジスト 40 に露光部 41 が形成される。この露光の際には、基板 10 のデザインルールが細かい周辺回路領域 5 に相当する部分の第 2 のレジスト薄膜 50 は遮光されている。

【0039】次に、図 4 (c) に示すように、第 2 の露光光学系により微細なデザインルールが要求される周辺回路領域に相当する部分を露光する。すなわち、第 2 のレジスト 50 の露光部 51 が形成される。この露光作業の際には、第 1 の露光光学系による露光部分である第 1 のレジスト薄膜 40 は遮光されている。

【0040】最後に、図 4 (d) に示すように、レジスト薄膜 40、50 を現像する。すなわち、ガラス基板 10 を露光装置から取り出して、現像処理を施すことにより、露光領域 41、51 が除去され、薄膜層 30 の上に、それ程微細でない画素パターン 42 と微細な周辺回路パターン 52 とが同時に形成される。

【0041】次に、第 2 実施形態に係るレジスト塗布装置について、図 5 ないし図 7 を用い、第 1 のレジスト塗布部 6 と第 2 のレジスト塗布部 7 との詳細なレジスト薄膜の形成に関連づけて説明する。図 5 は第 1 のレジスト塗布部 6 としてのスピノコート 60 を示している。図 5 において、スピノコート 60 は、ガラス基板 10 を真空引きしながら回転する回転試料台 61 と、装置全体を収納しておく筐体 62 と、回転板 61 の回転に伴うレジスト液の飛翔を防止するカップ 63 と、筐体 62 の底面に設けられて飛翔したレジスト液を排出する液受け管 64 と、カップ 63 に設けられカップ内の薬液を排出する排気管 65 と、レジスト液が貯留されたレジスト座 66 が収納された加圧タンク 67 と、加圧タンク 67 により加圧しながらレジスト液を滴下させるための滴ノズル 68 と、蓋 69 と、を備えている。

【0042】なお、図 5 においては、回転試料台 61 上のガラス基板 10 は真空引きにより固定するものとして説明したが、本発明はこれに限定されず、図 6 に示す変形例のように回転試料台 61 の中央にガラス基板 10 に対応するチャックを設け、このチャックによりガラス基板 10 を固定して回転させるようにしても良い。このようにして一定の密度のレジスト液を基板 10 の表面にまず薄く塗布して第 1 のレジスト薄膜 40 を形成する。

【0043】その後、図 7 に示すような第 2 のレジスト塗布部 7 より周辺回路領域のレジスト薄膜 50 の塗布を行う。第 2 のレジスト塗布部 7 は、インクジェットプリンタヘッド 31 により構成されている。インクジェットヘッド 31 の吐出口に形成されたメニスカス 33 が液滴 34 として基板 10 方向に飛翔することにより第 1 のレジスト薄膜 40 の表面に第 2 のレジスト薄膜 50 が積層・形成される。図 5 の第 1 のレジスト塗布部 6 として用いられたスピノコート 60 には例えば $2\sim3\mu\text{m}$ 程度のデザインルールにより素子を形成するためのレジスト液を塗布し、図 7 に示す第 2 のレジスト塗布部 7 とし

てのインクジェットヘッド31では、解像度を0.6 μ m程度の光学系により素子を形成するためのレジスト液を塗布することにより、厚さが異なると共に成分も異なるレジスト薄膜40、50をそれぞれ形成することが可能となる。

【0044】上述した第2実施形態に係るレジスト塗布装置によれば、第1のレジスト塗布部6をスピコンコート60により構成し、第2のレジスト塗布部7をインクジェットヘッド32により構成して、第2のレジスト薄膜50は第1のレジスト薄膜40上に積層形成する例を示したが、本発明はこれに限定されず、図8に示す第3実施形態に係るレジスト塗布装置のように、第1及び第2のレジスト塗布部を共にインクジェットヘッド31により構成するようにしても良い。

【0045】図8において、インクジェットヘッド32は、ガラス基板10上の境界部35までの領域には第1のレジスト薄膜40を塗布し、境界部35からは第2のレジスト薄膜50を塗布する。したがって、境界部35までの画素領域4に対応するレジスト膜40用のレジスト液の成分と、周辺回路領域5に対応するレジスト膜50用のレジスト液の成分とは、後者が高解像度の露光系により露光されるのに適した成分を含むものを用いるようにしている。

【0046】なお、本発明は図8に示す第3実施形態のようにインクジェットヘッド32を第1及び第2のレジスト塗布部6、7として用いた場合でも、両者の膜厚が異なるようにレジスト液滴34の大きさを変化させることにより、形成されるレジスト薄膜の厚さを異ならせるように構成しても良い。図9はこのようにレジスト薄膜を形成する第4実施形態に係るレジスト塗布装置を示している。図9においては、境界35までの画素領域4に対応する第1のレジスト薄膜40は液滴の径を大粒のものとしてインクジェットヘッド32より吐出させて薄膜を形成する。

【0047】ついで、境界35を通過後に液滴34の粒径を小さく絞って膜厚の薄い周辺回路領域5に相当する第2のレジスト薄膜50を形成していく。このように液滴の粒径を変化させることによって膜厚を調整し、これによりレジスト膜の条件を画素領域に相当する膜40と周辺回路領域5に相当する膜50とで異ならせるようにしても良い。

【0048】なお、上述した第1ないし第4実施形態においては、ガラス基板10の処理回数について特に言及しなかったが、本発明においては作業効率の向上を図るためレジストの塗布をガラス基板一枚ずつについて行なうのではなく、図10に示す第5実施形態に係るレジスト塗布装置のように、複数の基板10を含むマルチプル基板70により一度に複数個のデバイスを製造するように構成しても良い。

【0049】図10において、第5実施形態のレジスト

塗布装置はガラス基板10を6つ備えるマルチプル基板70によりレジストの塗布を行なうものである。マルチプル基板70の縁部に所定距離ずつ離隔して設けられているのは、アライナ71であり、このアライナ71によりレジスト工程に限らず前工程及び後工程における処理の際の基板全体の位置決めを行なうことができる。図10に示すように、各基板10における画素領域に相当する第1のレジスト薄膜40と、周辺回路領域に相当する第2のレジスト薄膜50とは、ガラス基板10のそれぞれ中央側に形成される。

【0050】この後工程としての露光工程においても、アライナ71を用いて位置あわせを行なうことによりレジスト膜の除去に至る工程まで6枚のガラス基板10を有するマルチプル基板70の単位で処理を進めていくことが可能である。このように構成することにより作業効率の向上を図れるという特有の効果を得る。

【0051】なお、上述した実施形態においては第1のレジスト塗布部6はインクジェットヘッド32またはスピコンコート60の何れかにより構成するものとして説明したが、図示説明は控えるが第1のレジスト塗布部6は印刷機により構成し、画素領域4に相当する原版を用いて転写により前記画素領域4を印刷することにより、第1のレジスト薄膜40を形成するようにしても良い。

【0052】次に、本発明の第6実施形態に係るレジスト塗布方法は、図2において、広面積の半導体素子が所定密度で形成される広面積領域4の位置データおよびこの広面積領域4の周囲に設けられる複数の微細な周辺回路用の半導体素子が前記所定密度よりも高密度で形成される周辺回路領域5の位置データのそれぞれを記憶するステップと、前記広面積領域4の位置データに基づいて基板の所定位置に前記広面積領域4用の第1のレジスト薄膜40を所定の条件で塗布すると共に周辺回路領域5の位置データに基づいて前記広面積領域4の周囲に前記周辺回路領域5用の第2のレジスト薄膜50を前記第1のレジスト薄膜40とは異なる条件で塗布するステップと、を備え、前記広面積領域4と前記周辺回路領域5のそれぞれの位置データに基づいてそれぞれの領域の第1及び第2のレジスト薄膜40、50を異なる条件で塗布分けるものである。

【0053】また、上記第6実施形態に係るレジスト塗布方法において、前記広面積領域4に形成される半導体素子は数ミクロンメートルのデザインルールにより設計されるものであるのに対して、前記周辺回路領域5に形成される半導体素子はサブミクロンメートルのデザインルールにより設計されるようにしても良い。

【0054】また、上記第6実施形態のレジスト塗布方法において、前記レジスト薄膜を塗布する際に、第1のレジスト薄膜40と第2のレジスト薄膜50とで異ならせる塗布条件は、レジスト液の成分、密度、粘度、粒度やレジスト薄膜の厚さ、感光度、パターンを含み、さ

らに図5に示すスピコンコート60、印刷機、図7に示すインクジェットプリンタ31を含む複数の異なる種類の塗布装置の組み合わせであっても良い。

【0055】さらに、上記第6実施形態及びその変形例において、前記広面積領域4に形成される半導体素子は薄膜トランジスタを備える液晶表示部であり、前記周辺回路領域5に形成される半導体素子は、図3に示されるように、前記液晶表示部を駆動するための駆動部11～14や前記液晶に表示される画像信号を記憶する記憶部15、16や論理演算を行なうロジック部21～23を含む周辺回路であっても良い。

【0056】

【発明の効果】以上詳細に説明したように本発明に係るレジスト装置および方法によれば、第1の領域に相当する第1のレジスト薄膜と第2の領域に相当する第2のレジスト薄膜とを異なる条件により形成したので、後工程の露光工程において異なる解像度の露光光学系を用いてミクロンオーダーとサブミクロンオーダーのように異なるデザインルールの素子パターンをそれぞれ形成する際の工程全体としてのスループットの向上と歩留まりの改善とを図ることが可能となる。

【図面の簡単な説明】

【図1】本発明の第1実施形態に係るレジスト塗布装置の構成を示すブロック図。

【図2】第1実施形態に用いられるレジスト塗布領域を示す平面図。

【図3】第1実施形態における高密度のデザインルールが求められる箇所を完成後の素子の配置上に示す平面図。

【図4】第1実施形態に夜レジスト装置によってレジストを塗布された素子の製造工程を(a)ないし(d)にそれぞれ示す断面図。

【図5】第2実施形態に係るレジスト塗布装置における第1のレジスト塗布部としてのスピコンコートを示す断面

図。

【図6】第2実施形態の変形例としてのスピコンコートのチャックを示す平面図。

【図7】第2実施形態に係るレジスト塗布装置の第2のレジスト塗布部としてのインクジェットヘッドを示す断面図。

【図8】第3実施形態に係るレジスト塗布装置におけるインクジェットヘッドを示す断面図。

【図9】第4実施形態に係るレジスト塗布装置におけるインクジェットヘッドを示す断面図。

【図10】第5実施形態に係るレジスト塗布装置に用いられるマルチプル基板を示す平面図。

【図11】一般的なスイッチャー型液晶表示装置を示す平面図。

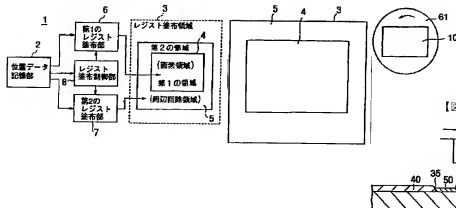
【符号の説明】

- 1 レジスト塗布装置
- 2 位置データ記憶部
- 3 レジスト塗布領域
- 4 第1の領域（広面積領域、画素領域）
- 5 第2の領域（周辺回路領域）
- 6 第1のレジスト塗布部
- 7 第2のレジスト塗布部
- 8 レジスト制御部
- 10 ガラス基板
- 31 インクジェットプリンタ
- 32 インクジェットヘッド
- 40 第1のレジスト薄膜
- 41 露光部
- 42 画素パターン
- 50 第2のレジスト薄膜
- 51 露光部
- 52 周辺回路素子パターン
- 60 スピコンコート

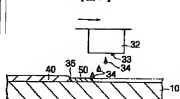
【図1】

【図2】

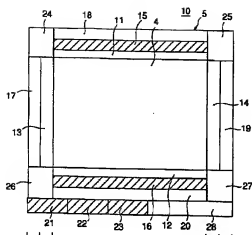
【図6】



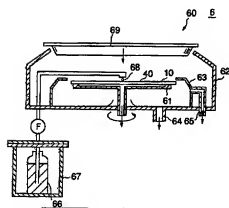
【図9】



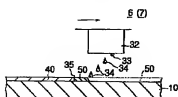
【図3】



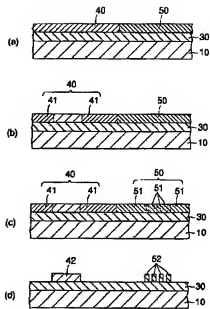
【図5】



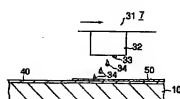
【図8】



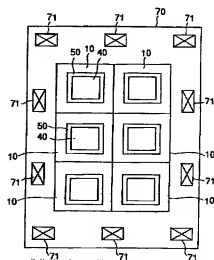
【図4】



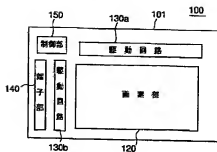
【図7】



【図10】



【図 11】



フロントページの続き

(72)発明者 井上 聡
長野県諏訪市大和三丁目3番5号 セイコーエプソン株式会社内

(72)発明者 宇都宮 純 夫
長野県諏訪市大和三丁目3番5号 セイコーエプソン株式会社内

(72)発明者 湯田坂 一 夫
長野県諏訪市大和三丁目3番5号 セイコーエプソン株式会社内

(72)発明者 宮坂 光 敏
長野県諏訪市大和三丁目3番5号 セイコーエプソン株式会社内

(72)発明者 松 枝 洋二郎
長野県諏訪市大和三丁目3番5号 セイコーエプソン株式会社内

Fターム(参考) 2H025 AA00 AB16 AB17 EA05
4D075 AA04 AC06 AC41 AC64 AC86
AC88 AC93 AC94 AC96 CA48
DA08 DB14 DC22 EA45
4F042 AA07 BA08 DH09 EB29 ED03